

ПЕРЕЛІК ПРОГРАМНИХ ПИТАНЬ

з дисциплін, які виносяться на фахове вступне випробування за освітньо-професійними програмою підготовки фахівців "Спеціаліст" за спеціальністю 7.05010201 «Комп'ютерні системи та мережі»

Теоретична частина

Мережі ЕОМ

1. Блоки даних, пакети, кадри даних.
2. Види мережевих з'єднань, процес організації віртуального каналу.
3. Захист від помилок.
4. Інтерфейси каналного рівня глобальних мереж.
5. Комутація каналів, повідомлень та пакетів.
6. Контроль правильності передачі даних.
7. Логічна організація і фізична структура мережі Token Ring.
8. Манчестерське кодування, кодування 4B5B, 5B6B.
9. Маршрутизація від джерела, алгоритм Дейкстри.
10. Маршрутизація шляхом лавиноподібного заповнення пакетами.
11. Методи та протоколи маршрутизації в глобальних мережах.
12. Механізм підтримки з'єднань протоколу Frame Relay.
13. Загальний формат пакета стандарту Frame Relay, призначення полів.
14. Організація віртуальних з'єднань в мережах АТМ.
15. Організація доступу в мережі стандарту IEEE 802.3.
16. Організація передачі синхронних і асинхронних даних в мережі FDDI.
17. Організація підмереж в мережі Інтернет за допомогою маски підмережі.
18. Організація пріоритетного доступу в мережі FDDI.
19. Організація мережі АТМ.
20. Організація мережі стандарту 802.3 (10 BASE2/5/T).
21. Особливості передачі дискретних сигналів по аналогових каналах, апаратура передачі даних.
22. Послідовність операцій при обміні даними в "старт-стопному" режимі.
23. Послідовність операцій при обміні даними в режимі "скользящего окна".
24. Протоколи, інтерфейси та їх взаємодія.
25. Різниця в організації доступу в мережі Token Ring і FDDI.
26. Мережа Fast Ethernet, принципи побудови.
27. Способи виявлення помилок при передачі даних. Правило формування контрольної послідовності кадру.
28. Способи передачі кадрів (старт-стопний і «скользящее окно»).
29. Способи синхронізації переданих даних, структура блоків даних.
30. Порівняльна характеристика локальних і глобальних мереж
31. Централізовані та децентралізовані способи маршрутизації.
32. Еталонна модель взаємодії відкритих систем.
33. Еталонна модель локальних мереж (стандарт IEEE 802.x).

34. Еталонна модель мережі АТМ.
35. Стек протоколів TCP \ IP

Комп'ютерні системи

1. Топології обчислювальних систем.
2. Конвеєрні обчислювальні системи.
3. Паралельні обчислювальні системи.
4. Векторно-конвеєрні обчислювальні системи.
5. Машини потоків даних.
6. Багатофункціональний конвеєр з множинними шляхами.
7. Конфлікти в конвеєрних обчислювальних систем.
8. Способи адресації векторів та реалізації векторних команд.
9. Структура конвеєра.
10. Класифікація обчислювальних систем у відповідності до критерію сумісності виконання функцій обладнання пристроїв системи.
11. Класифікація конвеєрів.
12. Класифікація обчислювальних систем по Фліну.
13. Загальні принципи організації прискорення роботи обчислювальних систем.
14. Конвеєризація та паралелізм.
15. Класифікація обчислювальних систем Енслоу.
16. Векторно-конвеєрна ЕОМ.
17. Загальні вимоги до сучасних обчислювальних машин.
18. Важливі класифікаційні ознаки паралельних обчислювальних систем.
19. Динамічні топології обчислювальних систем.
20. Статичні топології обчислювальних систем.

Дисципліни схемотехнічного напрямку

(Архітектура комп'ютерів, Комп'ютерна логіка, Мікропроцесорні системи)

1. Поняття типового функціонального вузла. Регістри, їх призначення і класифікація. Мікрооперації, що реалізуються в регістрах. Логічний зсув у регістрах.
2. Суматори, їх призначення і класифікація. Однорозрядний суматор. Послідовний багаторозрядний суматор. Паралельний багаторозрядний суматор.
3. Лічильники, їх призначення і класифікація. Основні параметри лічильників. Віднімальний лічильник. Додавальний лічильник. Реверсивний лічильник.
4. Дешифратори, їх призначення і класифікація. Матричні дешифратори. Лінійні дешифратори. Пірамідальні дешифратори.
5. Класифікація тригерів. Синхронні тригери. Асинхронні тригери. Синхронний JK-тригер.

6. Поняття типового функціонального вузла. Демультіплексори, їх призначення і класифікація.

7. Класифікація тригерів. Двоступеневі тригери. Одноступеневі тригери.

8. Особливості представлення прямого, обратного і доповняльного кодів. Перетворювачі кодів, їх призначення. Перетворювач прямого коду в доповняльний. Перетворювач прямого коду в обернений.

9. Регістри зсуву. Циклічний зсув у регістрах. Паралельний і послідовний ввід-вивід інформації в регістрах. Однофазний и парафазний запис у регістрі.

10. Класифікація тригерів. Асинхронний RS-тригер. Синхронний RS-тригер.

11. Шифратори, їх призначення і класифікація. Приоритетні шифратори.

12. Надати часову діаграму читання слів із пам'яті процесора для системи з розділеними шинами адреси та даних. Необхідні сигнали обрати з таблиці, занести у таблицю джерела управляючих сигналів.

Управляючі сигнали циклів звертання до пам'яті

Позначення сигналу	Джерело сигналу	Призначення сигналу
R		Читання комірки пам'яті
W		Запис до комірки пам'яті
AE		Дозвіл прийому адреси
RD		Підтвердження запису чи читання
AR		Підтвердження прийняття адреси

13. Надати часову діаграму запису слів у пам'ять процесора для системи з розподіленими шинами адреси та даних. Необхідні сигнали обрати з таблиці, занести у таблицю джерела управляючих сигналів.

Управляючі сигнали циклів звертання до пам'яті

Позначення сигналу	Джерело сигналу	Призначення сигналу
R		Читання комірки пам'яті
W		Запис до комірки пам'яті
AE		Дозвіл прийому адреси
RD		Підтвердження запису чи читання
AR		Підтвердження прийняття адреси

14. Надати часову діаграму читання слів із пам'яті процесора для системи з об'єднаними шинами адреси та даних. Необхідні сигнали обрати з таблиці.

Управляючі сигнали циклів звертання до пам'яті

Позначення сигналу	Джерело сигналу	Призначення сигналу
R		Читання комірки пам'яті
W		Запис до комірки пам'яті
AE		Дозвіл прийому адреси
RD		Підтвердження запису чи читання
AR		Підтвердження прийняття адреси

15. Надати часову діаграму запису слів у пам'ять процесора для системи з об'єднаними шинами адреси та даних. Необхідні сигнали обрати з таблиці.

Управляючі сигнали циклів звертання до пам'яті

Позначення сигналу	Джерело сигналу	Призначення сигналу
R		Читання комірки пам'яті
W		Запис до комірки пам'яті
AE		Дозвіл прийому адреси
RD		Підтвердження запису чи читання
AR		Підтвердження прийняття адреси

16. Вкажіть послідовність етапів виконання у процесорі команд основної групи (команд перетворення інформації).

17. Вкажіть послідовність етапів виконання у процесорі команди безумовного переходу.

18. Вкажіть послідовність етапів виконання у процесорі команди умовного переходу.

19. Вкажіть послідовність етапів виконання у процесорі команди безумовного виклику підпрограми.

20. Вкажіть послідовність етапів виконання у процесорі команди безумовного повернення із підпрограми.

21. Розробити модуль пам'яті, що має ємність $2^m \times n$ (n – розрядність даних) для системи із розподіленими шинами адреси і даних. Шина адреси системи має $m = m_1 + m_2$ розрядів.

22. Надати структуру арифметико-логічного блоку з двоспрямованою магістраллю.

23. Надати спрощену структуру блоку мікропрограмного керування.

24. Надати схему підключення розподіленого контролера переривань до процесора.

25. Надати схему підключення розподіленого контролера переривань до процесора.

26. Надати структуру блоку розподіленого контролера переривань (БКП).

27. Розробити схему захисту пам'яті по ключах для мультипрограмного режиму роботи ЕОМ.

28. Яке слово команди має найменшу довжину (з прямою адресацією, непрямою, автодекрементною)?

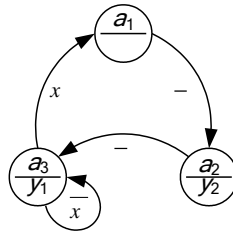
29. Який тип адресації операндів з вказаних забезпечує мінімальний час виконання операції (пряма адресація, непряма, безпосередня) і чому?

30. Вкажіть послідовність етапів обслуговування зовнішнього переривання процесором.

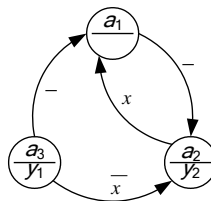
Практична частина

Прикладна теорія цифрових автоматів

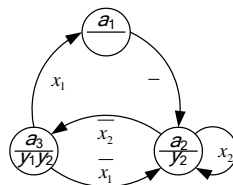
1. Виконайте етап структурного синтезу автомату Мура, що полягає в отриманні функцій Y_2 та D_1 , за заданим графом автомата:



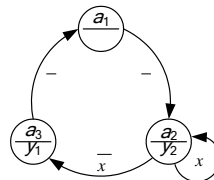
2. Виконайте етап структурного синтезу автомату Мура, що полягає в отриманні функцій Y_2 та T_1 , за заданим графом автомата:



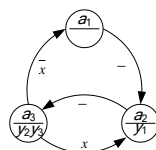
3. Виконайте етап структурного синтезу автомату Мура, що полягає в отриманні вихідних функцій, за заданим графом автомата:



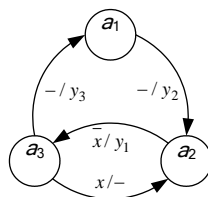
4. Виконайте етап структурного синтезу автомату Мура, що полягає в отриманні функцій Y_1 та T_2 , за заданим графом автомата:



5. Виконайте етап структурного синтезу автомату Мура, що полягає в отриманні функцій Y_1 , Y_2 та Y_3 , за заданим графом автомата:



6. Визначить кількість тригерів необхідних для реалізації пам'яті автомата Мілі, що заданий графом. Виконайте етап структурного синтезу автомату, що полягає в отриманні функцій Y_2 та D_1 .



7. Виконайте абстрактний синтез автомата Мілі, що полягає в отриманні графу автомату, за заданою ЛСА:

$$П \begin{matrix} 1 & 2 & 1 & 3 & 2 & 3 \\ x_1 \uparrow & y_1 y_2 \uparrow & \downarrow \downarrow & y_1 \downarrow & x_2 \uparrow & K. \end{matrix}$$

Виконайте кодування станів автомату.

8. Виконайте абстрактний синтез автомата Мілі, що полягає в отриманні графу автомату, за заданою ЛСА:

$$П \begin{matrix} 1 & 2 & 1 & 2 \\ \downarrow & y_1 \downarrow & x_1 \uparrow & y_2 x_2 \uparrow & K. \end{matrix}$$

Побудуйте таблиці переходів та виходів автомату.

9. Виконайте абстрактний синтез автомата Мілі, що полягає в отриманні графу автомату, за заданою ЛСА:

$$П \begin{matrix} 2 & 1 & 3 & 1 & 3 & 2 \\ \downarrow & y_1 x_1 \uparrow & y_2 \uparrow & \downarrow \downarrow & y_1 y_2 \downarrow & x_2 \uparrow & K. \end{matrix}$$

Виконайте кодування станів автомату.

10. Виконайте абстрактний синтез автомата Мілі, що полягає в отриманні графу автомату, за заданою ЛСА:

$$П \begin{matrix} 1 & 1 & 2 & 3 & 2 & 3 \\ y_2 x_1 \uparrow & y_1 y_2 \downarrow & x_2 \uparrow & y_2 \uparrow & \downarrow \downarrow & y_1 \downarrow & K. \end{matrix}$$

Виконайте кодування станів автомату.

11. Знайдіть мінімальну форму заперечення перемикальної функції $y=(a, b, c, d)$, якщо її ДДНФ має вигляд:

$$y = 0 \vee 1 \vee 8 \vee 9 \vee 12 \vee 13.$$

Побудуйте комбінаційну схему у елементному базисі АБО, І. Визначить складність схеми за Квайном.

12. Знайдіть мінімальну форму заперечення перемикальної функції $y=(a, b, c, d)$, якщо її ДДНФ має вигляд:

$$y = 4 \vee 5 \vee 8 \vee 9 \vee 12 \vee 13.$$

Побудуйте комбінаційну схему у елементному базисі АБО-НЕ. Визначить складність схеми за Квайном.

13. Знайдіть МДНФ перемикальної функції $F = (x_4, x_3, x_2, x_1)$ за допомогою діаграми Вейча, якщо функція задана ДДНФ:

$$y = 0 \vee 1 \vee 2 \vee 3 \vee 5 \vee 13.$$

Виконайте синтез комбінаційної схеми у елементному базисі І, АБО. Визначить складність схеми за Квайном.

14. Знайдіть МДНФ перемикальної функції $F = (x_4, x_3, x_2, x_1)$ за допомогою діаграми Вейча, якщо функція задана ДДНФ:

$$y = 0 \vee 1 \vee 2 \vee 3 \vee 4 \vee 12.$$

Виконайте синтез комбінаційної схеми у елементному базисі І-НЕ. Визначить складність схеми за Квайном.

15. Знайдіть МДНФ перемикальної функції $F = (x_4, x_3, x_2, x_1)$ за допомогою діаграми Вейча, якщо функція задана ДДНФ:

$$y = 1 \vee 9 \vee 12 \vee 13 \vee 14 \vee 15.$$

Виконайте синтез комбінаційної схеми у елементному базисі I, АБО. Визначить складність схеми за Квайном.

16. Знайдіть МДНФ перемикальної функції $F = (x_4, x_3, x_2, x_1)$ за допомогою діаграми Вейча, якщо функція задана ДДНФ:

$$y = 0 \vee 8 \vee 12 \vee 13 \vee 14 \vee 15.$$

Виконайте синтез комбінаційної схеми у елементному базисі I, АБО. Визначить складність схеми за Квайном.

17. Виконайте додавання двійкових чисел у формі із плаваючою комою $Z = X+Y$ (де $|X|<0, |Y|<0$), якщо $X = -00,0000101, Y = -00,11011$.

Виконайте за необхідністю нормалізацію результату. Проаналізуйте знаки мантиси та порядку результату.

18. Виконайте додавання двійкових чисел, поданих у формі із фіксованою комою $Z = X+Y$ (де $|X|<0, |Y|<0$), у доповнювальному та оберненому кодах, якщо $X = -00,01101, Y = -00,10011$.

Проаналізуйте знак результату. Виконайте арифметичний зсув отриманого числа вліво на дві розряди, та вправо на один розряд.

19. Виконайте множення двійкових чисел $Z = X*Y$ (де $|X|<0, |Y|<0$) за першим способом, якщо $X = 0,0111, Y = 0,1011$.

Подайте цифрову діаграму виконання операції множення.

20. Виконайте множення двійкових чисел $Z = X*Y$ (де $|X|<0, |Y|<0$) за другим способом, якщо $X = 0,1001, Y = 0,1011$.

Подайте цифрову діаграму виконання операції множення.

Комп'ютерна схемотехніка

1. Побудувати асинхронний RS -тригер з інверсними входами на елементах I-НЕ.

2. Побудувати синхронний RS - тригер із прямими входами на елементах I-НЕ

3. Побудувати двоступінчастий синхронний JK-тригер на елементах I-НЕ із забороняючими зв'язками між ступенями.

4. Побудувати D-тригер з динамічним керуванням на елементах I-НЕ

5. Побудувати схему лінійного дешифратора на два входи й чотири інверсних виходи на елементах I-НЕ.

6. Побудувати схему лінійного дешифратора на два входи й чотири прямих виходи на елементах I-НЕ

7. Побудувати схему лінійного дешифратора зі сторбуванням на елементах I-НЕ

8. Побудувати схему шифратора на шість входів і три виходи на елементах I-НЕ

9. Побудувати схему мультиплексора на два інформаційних входи X_0, X_1 , один інформаційний вихід D й один адресний вхід A_0 .

10. Побудувати схему мультиплектора на чотири інформаційних входи $X_0 \dots X_3$, один інформаційний вихід D і два адресних входи A_0, A_1 .

11. Побудувати схему демультиплектора на один інформаційний вхід D , два інформаційних виходи X_0 і X_1 й один адресний вхід A_0 .

12. Побудувати схему демультиплектора на один інформаційний вхід D , чотири інформаційні виходи $X_0 \dots X_3$ і два адресних входи A_0, A_1 .

13. Побудувати схему порівняння двох слів A і B на логічних елементах І-ЧИ-НЕ, І-НЕ

14. Побудувати схему порівняння двох слів A і B на "більше" на логічних елементах І-ЧИ-НЕ, І-НЕ.

15. Побудувати схему чотирирозрядного (з урахуванням знака) перетворювача прямого коду у зворотний на логічних елементах І-ЧИ-НЕ й І-НЕ.

16. Побудувати схему чотирирозрядного (з урахуванням знака) перетворювача прямого коду в додатковий на логічних елементах І-ЧИ-НЕ, І-НЕ.

17. Побудувати схему перетворювача двійкового коду в код Грея

18. Побудувати схему напівсуматора на логічних елементах І-НЕ.

19. Побудувати схему напівсуматора на логічних елементах І-ЧИ-НЕ,

20. Побудувати схему однорозрядного суматора на логічних елементах І-НЕ.

Архітектура комп'ютерів

1. Для БОД з 16-розрядним СОЗУ розробіть мікроалгоритм та мікропрограму у кодах мікроасемблера для обчислення заданого арифметичного виразу.

$$R4 := 2(R3 + R5), \text{ де } R3 = 4a14, R5 = ab76$$

2. Для БОД з 16-розрядним СОЗУ розробіть мікроалгоритм та мікропрограму у кодах мікроасемблера для обчислення заданого арифметичного виразу.

Продовження Додатку 6

$$R11 := R11 - R8 - 1, \text{ де } R11 = 1b0dh, R8 = 1a7dh$$

3. Для БОД з 16-розрядним СОЗУ розробіть мікроалгоритм та мікропрограму у кодах мікроасемблера для обчислення заданого арифметичного виразу.

$$R4 := 2(R3 + R5), \text{ де } R3 = 4a14h, R5 = ab76h$$

4. Для БОД з 16-розрядним СОЗУ розробіть мікроалгоритм та мікропрограму у кодах мікроасемблера для обчислення заданого арифметичного виразу.

$$R15 := R12 - R15 + 1, \text{ де } R15 = 04f7h, R12 = 0b74h$$

5. Для БОД з 16-розрядним СОЗУ розробіть мікроалгоритм та мікропрограму у кодах мікроасемблера для обчислення заданого арифметичного виразу.

$$R3 := 2(R9 - R3), R9 = 0c7eh, R3 = 0cf0h$$

6. Розробити структуру зони β_2 формування керуючих сигналів БМК для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2Y3)(Y1Y2)Y1Y2(Y1Y3)Y5(Y1Y2Y6)Y5Y1Y2K;

7. Розробити структуру зони β_2 формування керуючих сигналів БМК для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2Y3)Y1Y2(Y4Y2Y1)Y3(Y5Y1)(Y2Y6Y5)Y4Y2K;

8. Розробити структуру зони β_2 формування керуючих сигналів БМК для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2)Y3(Y1Y2)Y1Y2(Y1Y3)Y5(Y1Y2Y6)Y5Y1Y2K.

9. Розробити структуру зони β_3 формування тривалості управляючих сигналів БМК та карту програмування при асинхронному способі управління для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2Y3)(Y1Y2)Y1Y2(Y1Y3)Y5(Y1Y2Y6)Y5Y1Y2K;

Тривалість керуючих сигналів – $t(y_1, y_2, y_3) = 4$ такти, $t(y_5, y_6) = 21$ такт;

10. Синтезувати операційну схему для обчислення значення функції D , якщо її аргументами є правильні дроби $A = 0, a_1 a_2 \dots a_n$, $B = 0, b_1 b_2 \dots b_n$ та $C = 0, c_1 c_2 \dots c_n$. Розрядність дробів $n=5$, з урахуванням знакового розряду. Виконати логічне моделювання роботи пристрою за допомогою цифрової діаграми із довільними значеннями операндів.

$$D = A(B-1) + 0,5C$$

11. Синтезувати операційну схему для обчислення значення функції D , якщо її аргументами є правильні дроби $A = 0, a_1 a_2 \dots a_n$, $B = 0, b_1 b_2 \dots b_n$ та $C = 0, c_1 c_2 \dots c_n$. Розрядність дробів $n=5$, з урахуванням знакового розряду. Виконати логічне моделювання роботи пристрою за допомогою цифрової діаграми із довільними значеннями операндів.

$$D = 2A(B+1) + 0,5C$$

12. Синтезувати операційну схему для обчислення добутку $Z = Y \times X$ двох правильних дробів $Y = 0, y_1 y_2 \dots y_n$ та $X = 0, x_1 x_2 \dots x_n$. Розрядність дробів $n=5$, з урахуванням знакового розряду. Виконати логічне моделювання роботи пристрою за допомогою цифрової діаграми із заданими викладачем значеннями операндів.

13. Розробити структуру зони β_3 формування тривалості управляючих сигналів БМК та карту програмування при асинхронному способі управління для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2Y3)Y1Y2(Y4Y2Y1)Y3(Y5Y1)(Y2Y6Y5)Y4Y2K;

Тривалість керуючих сигналів – $t(y_1, y_2, y_3) = 5$ тактів, $t(y_5, y_6) = 17$ тактів;

14. Розробити структуру зони β_3 формування тривалості управляючих сигналів БМК та карту програмування при асинхронному способі управління для реалізації заданого мікроалгоритму з максимальною бистродією:

Н (Y1Y2)Y3(Y1Y2)Y1Y2(Y1Y3)Y5(Y1Y2Y6)Y5Y1Y2K.

Тривалість керуючих сигналів – $t(y_1, y_2, y_3) = 6$ тактів, $t(y_5, y_6) = 19$ тактів;

15. Розробити структуру БМУ і карту програмування ПМК для заданого мікроалгоритма:

ї $x_1 \uparrow^1 y_1 \downarrow^1 x_2 \uparrow^2 y_1 \uparrow^3 \downarrow^2 y_2 \downarrow^3$ К;

Вихідні дані: Спосіб адресації мікрокоманд – примусовий; Структура ПМК – лінійна; Ємність ПМК – 32 слова; Спосіб мікропрограмування – вертикальний; Тривалість керуючих сигналів – $t(y_1) = 1$ такт; $t(y_2) = 5$ тактів; Початкова адреса мікропрограми – $9_{(10)}$; Забезпечити контроль слова МК на непарність.

ПЕРЕЛІК ПРОГРАМНИХ ПИТАНЬ

з дисциплін, які виносяться на фахове вступне випробування за освітньо-професійними програмою підготовки фахівців "Магістр" за спеціальністю 8.05010201 «Комп'ютерні системи та мережі»

Комп'ютерне моделювання

1. Моделювання як засіб дослідження та проектування. Основні визначення.
2. Типи моделювання, фізичне та математичне моделювання.
3. Математичне моделювання, основні методи.
4. Технічні засоби моделювання.
5. Метод Геделя, представлення, зведення алгоритмів до чисельних.
6. Імітаційні моделі, імітаційне моделювання, основні визначення та приклади застосування.
7. Аналогове моделювання, склад аналогової обчислювальної машини, програмування задач на АОМ.
8. Алгоритмічні системи. Моделювання інформаційних процесів. Нормальний алгоритм Маркова.
9. Алгоритмічні системи. Моделювання інформаційних процесів. Машина Тьюринга.
10. Алгоритмічні системи. Моделювання інформаційних процесів. Операторні схеми.

Комп'ютерні системи

1. Топології обчислювальних систем.
2. Конвеєрні обчислювальні системи.
3. Паралельні обчислювальні системи.
4. Векторно-конвеєрні обчислювальні системи.
5. Машини потоків даних.
6. Багатофункціональний конвеєр з множинними шляхами.
7. Конфлікти в конвеєрних обчислювальних систем.
8. Способи адресації векторів та реалізації векторних команд.

9. Структура конвеєра.
10. Класифікація обчислювальних систем у відповідності до критерію сумісності виконання функцій обладнання пристроїв системи.
11. Класифікація конвеєрів.
12. Класифікація обчислювальних систем по Фліну.
13. Загальні принципи організації прискорення роботи обчислювальних систем.
14. Конвеєризація та паралелізм.
15. Класифікація обчислювальних систем Енслоу.
16. Векторно-конвеєрна ЕОМ.
17. Загальні вимоги до сучасних обчислювальних машин.
18. Важливі класифікаційні ознаки паралельних обчислювальних систем.
19. Динамічні топології обчислювальних систем.
20. Статичні топології обчислювальних систем.

Мережі ЕОМ

1. Блоки даних, пакети, кадри даних.
2. Види мережевих з'єднань, процес організації віртуального каналу.
3. Захист від помилок.
4. Інтерфейси каналного рівня глобальних мереж.
5. Комутація каналів, повідомлень та пакетів.
6. Контроль правильності передачі даних.
7. Логічна організація і фізична структура мережі Token Ring.
8. Манчестерське кодування, кодування 4B5B, 5B6B.
9. Маршрутизація від джерела, алгоритм Дейкстри.
10. Маршрутизація шляхом лавиноподібного заповнення пакетами.
11. Методи та протоколи маршрутизації в глобальних мережах.
12. Механізм підтримки з'єднань протоколу Frame Relay.
13. Загальний формат пакета стандарту Frame Relay, призначення полів.
14. Організація віртуальних з'єднань в мережах АТМ.
15. Організація доступу в мережі стандарту IEEE 802.3.
16. Організація передачі синхронних і асинхронних даних в мережі FDDI.
17. Організація підмереж в мережі Інтернет за допомогою маски підмережі.
18. Організація пріоритетного доступу в мережі FDDI.
19. Організація мережі АТМ.
20. Організація мережі стандарту 802.3 (10 BASE2/5/T).
21. Особливості передачі дискретних сигналів по аналогових каналах, апаратура передачі даних.
22. Послідовність операцій при обміні даними в "старт-стопному" режимі.
23. Послідовність операцій при обміні даними в режимі "скользящего окна".
24. Протоколи, інтерфейси та їх взаємодія.

25. Різниця в організації доступу в мережі Token Ring і FDDI.
26. Мережа Fast Ethernet, принципи побудови.
27. Способи виявлення помилок при передачі даних. Правило формування контрольної послідовності кадру.
28. Способи передачі кадрів (старт-стопний і «скользящее окно»).
29. Способи синхронізації переданих даних, структура блоків даних.
30. Порівняльна характеристика локальних і глобальних мереж
31. Централізовані та децентралізовані способи маршрутизації.
32. Еталонна модель взаємодії відкритих систем.
33. Еталонна модель локальних мереж (стандарт IEEE 802.x).
34. Еталонна модель мережі АТМ.
35. Стек протоколів TCP \ IP

Комп'ютерна схемотехніка

1. Поняття типового функціонального вузла. Регістри, їх призначення і класифікація. Мікрооперації, що реалізуються в регістрах. Логічний зсув у регістрах.
2. Суматори, їх призначення і класифікація. Однорозрядний суматор. Послідовний багаторозрядний суматор. Паралельний багаторозрядний суматор.
3. Лічильники, їх призначення і класифікація. Основні параметри лічильників. Віднімальний лічильник. Додавальний лічильник. Реверсивний лічильник.
4. Дешифратори, їх призначення і класифікація. Матричні дешифратори. Лінійні дешифратори. Пірамідальні дешифратори.
5. Класифікація тригерів. Синхронні тригери. Асинхронні тригери. Синхронний JK-тригер.
6. Поняття типового функціонального вузла. Демультіплексори, їх призначення і класифікація.
7. Класифікація тригерів. Двоступеневі тригери. Одноступеневі тригери.
8. Особливості представлення прямого, обратного і доповняльного кодів. Перетворювачі кодів, їх призначення. Перетворювач прямого коду в доповняльний. Перетворювач прямого коду в обернений.
9. Регістри зсуву. Циклічний зсув у регістрах. Паралельний і послідовний ввід-вивід інформації в регістрах. Однофазний и парафазний запис у регістрі.
10. Класифікація тригерів. Асинхронний RS-тригер. Синхронний RS-тригер.
11. Шифратори, їх призначення і класифікація. Приоритетні шифратори.

Цикл дисциплін схемотехнічного напрямку

(Архітектура комп'ютерів, Комп'ютерна логіка, Мікропроцесорні системи)

1. Приведіть структуру і функціональне призначення блоку обробки даних (БОД). Приведіть структуру мікрокоманди для БОД і функціональне призначення управляючих сигналів для БОД. У шістнадцяти розрядному БОД реалізувати операцію додавання слів подвійної довжини. Навести операційну схему та мікропрограму із застосуванням символічного мікроасемблеру.

2. Приведіть загальну структуру блоку мікропрограмного управління (БМУ) в обчислювальній системі. Опишіть функціональне призначення кожного елемента. Опишіть структуру мікрокоманди для БМУ. Опишіть усі можливі способи формування адреси наступної мікрокоманди. Як у лінійній мікропрограмі реалізувати безумовний перехід на нову адресу. Навести приклади мікропрограм із застосуванням символічного мікроасемблеру.

3. Охарактеризуйте основні способи множення чисел. Опишіть загальний склад устаткування, необхідний для реалізації операції множення в ЕОМ. Навести приклад операційної схеми множення довільного способу множення та і мікропрограми із застосуванням символічного мікроасемблеру.

4. Що таке арифметичний та логічний зсув? Як забезпечити арифметичний та логічний зсув слів подвоєної довжини? Навести операційні схеми для виконання операцій зсувів слів подвійної довжини і мікропрограми із застосуванням символічного мікроасемблеру.

5. Поясніть принцип мікропрограмного управління. Охарактеризуйте етапи виконання команд в ЕОМ, приведіть мікроалгоритми їх реалізації.

6. Приведіть алгоритми циклів запису і читання з ОП для систем з загальною та розділеною ША і ШД. У чому основне розходження? Опишіть основні управляючі сигнали для роботи з пам'яттю.

7. Наведіть структуру і функціональне призначення СУСЗ. Опишіть структуру мікрокоманди для управління СУСЗ. Які управляючі сигнали формує СУСЗ, охарактеризуйте їх призначення. Яким чином можна управляти записом інформації в регістри RM та RN?

8. Як забезпечити зчитування і запис даних у пам'ять? Яким чином можна управляти записом інформації в регістр адреси RA і записом/читанням інформації в буфер даних BD. Наведіть приклади мікро алгоритмів для читання даних з ОП за застосування прямої та непрямої адресації даних.

9. Приведіть алгоритми та часові діаграми циклів запису і зчитування інформації з ОП для системи із загальною ША і ШД. Опишіть управляючі сигнали для роботи з пам'яттю. Для 16-розрядної ЕОМ розробіть із застосуванням символічного мікроасемблеру мікропрограму вибору масива із 20 слів за застосування непрямої адресації.

10. Приведіть алгоритми та часові діаграми циклів запису і зчитування інформації з ОП для системи із розділеною ША і ШД. Опишіть керуючі сигнали для роботи з пам'яттю. Для 16-розрядної ЕОМ розробіть із застосуванням символічного мікроасемблеру мікропрограму вибору масива із 16 слів за застосування прямої адресації.

11. Що таке мікроалгоритм, мікропрограма, мікрооперація і мікрокоманда? Які мікрооперації в обчислювальній системі можна сполучати, а які не можна? Поясніть поняття системи команд високого рівня (Ассемблера) і системи мікрокоманд низького рівня (мікроасемблера). Поясніть принцип емуляції - реалізації однієї більш складної системи команд за допомогою більш простої системи команд. Наведіть приклади.

12. Яким образом можна управляти записом інформації в регістри RA і RB в 16-розрядній обчислювальній системі, навіщо використовуються зазначені регістри? Наведіть мікроалгоритми розпакування команди за використання прямої регістрової адресації даних.

13. Як забезпечити зчитування і запис даних у зовнішні пристрої? Для 16-розрядної ЕОМ розробіть мікроалгоритм виконання операції ввід-модифікація-вивід (наприклад, ввід двох операндів, додавання та вивід), якщо у системі є один ЗП для вводу даних і один ЗП для виводу даних.

14. Наведіть структуру та функціональне призначення процесорного ядра ЕОМ. Приведіть структуру БОД. Які мікрооперації реалізуються в АЛП. Які можуть бути реалізовані джерела операндів АЛП. Куди може бути записаний результат виконання мікрооперації, за рахунок чого реалізується модифікація результату? Як задати в мікропрограмі початкові значення в регістрах АЛУ.

15. Приведіть структуру БОД. Для чого застосовуються ознаки результату. Які мікрооперації виконуються над ознаками результату в СУСЗ? Приведіть структуру МК для БОД і призначення управляючих сигналів. Для 16-розрядної ЕОМ наведіть приклад формування ознаки результату.

16. Поясніть принцип мікропрограмного керування. Поясніть поняття системи команд високого рівня (Ассемблера) і системи мікрокоманд низького рівня (мікроасемблера) і принципу емуляції - реалізації однієї більш складної системи команд за допомогою більш простої системи команд. Наведіть приклади для 16-розрядної ЕОМ.

17. Приведіть структуру БОД. Які мікрооперації реалізує СУСЗ. Як сформувати і запам'ятати ознаки результату. Як забезпечити розгалуження мікроалгоритмів. Наведіть приклад для 16-розрядної ЕОМ.

18. Приведіть структуру блока мікропрограмного управління (БМУ). Яка мікропрограма називається лінійною. Наведіть способи формування адреси у

пам'яті мікрокоманд для лінійних алгоритмів. Наведіть приклади для 16-розрядної ЕОМ (операційні схеми та мікро алгоритми).

19. Як реалізуються складні операції в ЕОМ? На які елементарні операції розкладаються складні операції у випадку з реалізації в системі з мікропрограмним керуванням? Охарактеризуйте основні способи множення чисел у прямих кодах? Для 16-розрядної ЕОМ наведіть приклади операційних схем та мікропрограм на символічному мікроасемблері.

20. Приведіть структуру БОД. Приведіть структуру МК для БОД і призначення управляючих сигналів. З якою ціллю виконуються операції зсувів в АЛП. Які типи зсувів забезпечує СУСЗ? Наведіть приклади для 16-розрядної ЕОМ (операційні схеми та мікроалгоритми).

21. Приведіть структуру БОД. Які управляючі сигнали можна підключити до входів L1 – L6 мультиплексора умов, з якою метою? Як СУСЗ формує сигнал логічної умови, як його перевірити в БОД? Наведіть приклади для 16-розрядної ЕОМ (операційні схеми та мікро алгоритми).

22. Приведіть структуру та основне призначення схеми формування наступної адреси мікропрограми (ФАМ). За допомогою якої директиви здійснюють підключення сигналів до входів L1 – L6 мультиплексора? Які мнемоніки логічних умов використовують у мікрокомандах ФАМ?

23. Охарактеризуйте основні способи адресації операндів. Наведіть приклади операційних схем.

24. Наведіть порівняльну характеристику АЛП з розподіленою та зосередженою логікою. Приведіть етапи побудови АЛП із розподіленою логікою. Виконати приклад.

25. Визначити призначення блоку мікропрограмного управління (БМУ) у ЕОМ, навести класифікації БМУ. Поясніть, що розуміють під принципом мікропрограмного управління. Навести загальну структуру БМУ та структурі мікрокоманди. Пояснити, як забезпечується синхронний та асинхронний способи управління в ЕОМ.

26. Навести класифікацію управляючих пристроїв з точки зору забезпечення тривалості виконання мікрооперацій. Навести недоліки і переваги кожного із способів. Як забезпечується тривалість виконання мікрооперацій при асинхронному способі управління (апаратна реалізація). Як визначити довжину зони формування управляючих сигналів ($\beta 3$) блоку мікропрограмного управління при асинхронному способі управління. Навести приклад розрахунку і формування затримки.

27. Навести формат слова мікрокоманди і пояснити призначення кожної із зон. Назвіть способи формування структури зони управляючих сигналів мікрокоманди ($\beta 2$), переваги та недоліки кожного із способів. Як визначити

довжину зони $\beta 2$ при різних способах кодування. Навести приклади до кожного із способів формування зони управляючих сигналів.

28. Навести формат слова мікрокоманди і пояснити призначення кожної із зон. Назвіть способи формування структури зони визначення адреси наступної команди ($\beta 1$), переваги та недоліки кожного із способів. Як скоротити довжину зони $\beta 1$ під час застосування примусової адресації. Навести приклади до кожного із способів.

29. Розробити модуль ОЗП, об'ємом 128Кб, для системи з загальними шинами адресу і даних, якщо загальний адресний простір є 1М, ширина вибору даних – 4 байти, зчитування інформації здійснюється байтами.

30. Розробити модуль ПЗП, об'ємом 128Кб, для системи з загальними шинами адресу і даних, якщо загальний адресний простір є 2М, ширина вибору даних – 4 байти, зчитування інформації здійснюється байтами та словами.

31. Для 16-розрядної мікроЕОМ розробити схему підключення двох зовнішніх пристроїв ЗП з адресами портів (PC) $A(PC1) = 0AAFH$; $A(PC2) = 0FACH$ (адреси PC та РД відрізняються 6 розрядом). Написати програму полігону із застосуванням символічної мнемоніки команд для вводу даних.

32. Для 16-розрядної мікроЕОМ розробити схему підключення зовнішнього пристрою ЗП з адресою порту (PC) $A(PC) = 03A9H$ (адреси PC та РД відрізняються 3 розрядом). Адреси ЗП включені в адресний простір ОП. Написати програму полігону вводу даних для двох ЗП із застосуванням символічної мнемоніки команд та у кодах системи. Відобразити формат команди.

33. Розробити для МК51 програму пересилки масиву із двадцяти слів із другої сторінки зовнішньої пам'яті даних, ємністю 2Кб, розпочинаючи з адреси $D0h$. Масив переслати у резидентну пам'ять даних, розпочинаючи з комірки за адресою $52h$. Розробити структурну схему підключення до МК51 десяти сторінок зовнішньої пам'яті даних. Розробити структурну схему підключення зовнішньої пам'яті програм до мікроконтролера 1816BE48. Навести команди обміну між контролером та пам'яттю.

34. Розробити для МК51 програму пересилки масиву із тридцяти слів із резидентної пам'яті даних, розпочинаючи з комірки за адресою $50h$, у третю сторінку зовнішньої пам'яті даних, розпочинаючи із адреси $A2h$. Об'єм сторінки зовнішньої пам'яті даних – 64Кб. Розробити структурну схему підключення до МК51 п'яти сторінок зовнішньої пам'яті даних.

35. Розробити для МК51 програму обчислення заданого виразу $F = 5(R5 - R3) + (R7 \& R6) / 4$. Ємність сторінки зовнішньої пам'яті даних 2Кб. Під час обчислення використовувати регістри другого банку регістрів

загального призначення. Дані для обчислення в реєстри загального призначення заданого банку завантажуються з комірок третьої сторінки зовнішньої пам'яті даних з адресами $C0h$, $C1h$, $C2h$, $C3h$. Намалювати структурну схему підключення до МК пам'яті даних.

36. Розробити структурну схему підключення до МК51 зовнішньої пам'яті даних об'ємом 2Кб. Розробити програму пересилки масиву із двадцяти п'яти слів з другої сторінки пам'яті даних, розпочинаючи з комірки за адресою $80h$. Перші вісім слів переслати в третій банк реєстрів, інші у резидентну пам'ять даних, розпочинаючи з комірки за адресою $40h$.

37. Розробити для МК48 програму обчислення різниці двох тридцятидвохрозрядних чисел. Намалювати структурну схему мікропроцесорної системи. Вихідні числа зберігаються в комірках шостої сторінки зовнішньої пам'яті даних з адресами: перше число – $30h$, $31h$, $32h$, $33h$ та друге – $A0h$, $A1h$, $A2h$, $A3h$.

38. Розробити структурну схему підключення до МК48 однієї сторінки пам'яті програм, реєстру станів (РС) і реєстру даних (РД) одного зовнішнього пристрою і ППА 580ВВ55. Під час виконання задачі використати загальний адресний простір зовнішньої пам'яті даних. Адреси портів вибрати самостійно.

39. Синтезувати операційний пристрій для обчислення добутку $Z=Y \times X$ двох правильних дробів $Y = 0,y_1y_2\dots y_n$ та $X = 0,x_1x_2\dots x_n$. Виконати логічне моделювання роботи пристрою за допомогою цифрової діаграми. Побудувати структурну схему блоку мікропрограмного управління і карту пам'яті мікропрограм для управління розробленим операційним пристроєм. *Вихідні дані:* спосіб адресації мікрокоманд – примусовий; структура ПМК – лінійна; ємність ПМК – 64 слова; мінімальне кодування зони управляючих сигналів; тривалість мікрооперації підсумовування – 5 тактів; забезпечити контроль слова МК на парність.

40. Синтезувати операційний пристрій для обчислення добутку $Z=Y \times X$ двох правильних дробів $Y = 0,y_1y_2\dots y_n$ та $X = 0,x_1x_2\dots x_n$. Виконати логічне моделювання роботи пристрою за допомогою цифрової діаграми. Побудувати структурну схему блоку мікропрограмного управління і карту пам'яті мікропрограм для управління розробленим операційним пристроєм. *Вихідні дані:* спосіб адресації мікрокоманд – відносний; структура ПМК – лінійна; ємність ПМК – 32 слова; мінімальне кодування зони управляючих сигналів; тривалість мікрооперації підсумовування – 7 тактів; забезпечити контроль слова МК на непарність.

СПИСОК ЛІТЕРАТУРИ

для самостійної підготовки вступника до фахового вступного випробування фахівців "Спеціаліст" та "Магістр" за спеціальністю 7(8).05010201 «Комп'ютерні системи та мережі»

Основна література

1. *Прикладна теорія цифрових автоматів: Навчальний посібник* / В.І. Жабін, І.А. Жуков, І.А. Клименко, В.В. Ткаченко. – К.: НАУ, 2007. – 364 с.
2. *Арифметичні та управляючі пристрої цифрових ЕОМ: Навч. посібник* / Жабін В.І., Жуков І.А., Клименко І.А., Стіренко С.Г. — К.: ВСК +, 2008. — 176 с.
3. *Мікропроцесорні системи: Навч. посібник* / Жабін В.І., Жуков І.А., Ткаченко В.В., Клименко І.А. – К.: ВСК +, 2009. - 475 с.
4. *Гамаюн В. П. Моделирование багаторозрядних комп'ютерних систем: Навч. посібник.* — К.: Книжкове вид-во НАУ, 2007. — 112 с.
5. *Бабич М. П., Жуков І. А. Комп'ютерна схемотехніка. Навч. посібник.* – К.: НАУ, 2002. – 508 с.
6. *Жуков І.А., Дровозов В.І., Махновський Б.Г. Експлуатація комп'ютерних систем та мереж: : Навч. посібник.* — К.: НАУ, 2007. —368 с.
7. *Жуков І.А., Ластовченко М.М. Основы сетевых технологий:Издательский дом «Додэка-XXI», К.: «МК-Пресс, 2007.-432 с, ил.*
8. *Кулаков Ю.О., Луцький Г.М. Комп'ютерні мережі: Підручник / За ред. Ю.С. Ковтанюка.* – К.: Юніор, 2003. – 400 с.
9. *Кулаков Ю.А., Жуков І.А. Компьютерные сети: Навч. посібник.* — К.: НАУ, 2009. —468 с.

Додаткова література

1. *Азаров О. Д., Байко В. В., Обертюх М. Р. Комп'ютерна електроніка. Ч. II. Елементи цифрових схем: Навч. посібник / Під ред. О. Д. Азарова.* – Вінниця: ВДГУ, 2002. – 170 с.
2. *Алексенко А. Г., Шагурин И. И. Микросхемотехника: Учеб. пособие для вузов.* –М.: Радио и связь, 1990, – 496 с.
3. *Бусленко Н.П. Моделирование сложных систем.* – М.: Наука, 1978.
4. *Жабін В.І., Клименко І.А., Ткаченко В.В. Прикладна теорія цифрових автоматів: методичні вказівки до виконання курсової роботи.* – К.: НАУ, 2004. – 56с.
5. *Лана В.Г. Математические основы кибернетики* – «Вища школа», 1974
6. *Логические основы и схемотехника цифровых ЭВМ: Практикум. / В. И.*

Продовження Додатку 6

- Жабін, В. В. Ткаченко, А. А. Зайцев, Р. Л. Антонов – К.: ВЕК+, 1999. – 128 с.
7. *Матеріали сайту <http://ksm.nau.edu.ua/ptca> .*
 8. *Матеріали сайту <http://ksm.nau.edu.ua/ceom> .*

9. *Прикладна теорія цифрових автоматів: методичні вказівки до виконання лабораторних робіт 1-5* / І.А. Жуков , В.І. Жабін, І.А. Клименко, В.В. Ткаченко. – К.: НАУ, 2005. – 52с.
10. *Прикладна теорія цифрових автоматів: методичні вказівки до виконання лабораторних робіт 6-10* / І.А. Жуков , В.І. Жабін, І.А. Клименко, В.В. Ткаченко. – К.: НАУ, 2005. – 56с.
11. *Самофалов К. Г., Корнейчук В. И., Тарасенко В. П. Цифровые ЭВМ: Теория и проектирование* / Под общ. ред. К. Г. Самофалова. – 3-е изд., перераб. и доп. – К.: Вища шк., 1989. – 424 с.
12. *Скурихин В.И. Математическое моделирование.* – К.: Техника, 1983.
13. *Советов Б.Я., Яковлев С.А.. Моделирование систем.* – М.: Высшая школа, 1985.
14. *Соломатин Н. М. Логические элементы ЭВМ: Практ. пособие для вузов.* – 2-е изд., перераб. и доп. – М.: Высш. шк., 1990. – 160 с.
15. *Схемотехника ЭВМ: Учебник* / Под ред. Г. Н. Соловьева. – М.: Высш. шк., 1985. – 391 с.
16. *Угрюмов Е. П. Проектирование элементов и узлов ЭВМ: Учеб. пособие* – М.: Высш. шк., 1987. –
17. *Угрюмов Е. П. Цифровая схемотехника: Учеб. пособие* –СПб.: БХВ – Петербург, 2001. – 528 с.
18. *Урмаев А.С. основы моделирования на аналоговых вычислительных машинах.* – М.: Наука, 1978.
19. *Шеннон Р. Имитационное моделирование систем – искусство и наука* – М.: Мир, 1978.